

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-343829
 (43)Date of publication of application : 29.11.2002

(51)Int.Cl. H01L 21/60

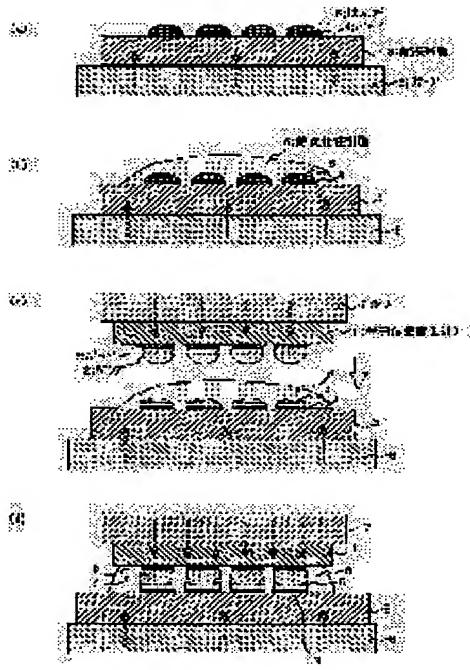
(21)Application number : 2001-150645 (71)Applicant : NEC CORP
 (22)Date of filing : 21.05.2001 (72)Inventor : OUCHI AKIRA
 KATO YOSHIMASA

(54) METHOD OF PACKAGING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of packaging a semiconductor device, which ensures the reliable connection of a package product and also is excellent in productivity in the semiconductor device, such as a bare chip or a chip-sized package with solder bumps.

SOLUTION: In a semiconductor device, a thermosetting resin 6 is applied on a wiring board 3 and thereafter, when the semiconductor device 1 is mounted on the board 3, the device 1 is heated at a temperature at least higher than that of the board 3 before bumps 2 on the device 1 come into contact with the resin 6 to make easy to wet the resin 6 on the side of the device 1. Hereby, voids, which are easy to generate within the resin 6, are prevented and a package product of highly reliable connection is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-343829

(P2002-343829A)

(43)公開日 平成14年11月29日 (2002.11.29)

(51)Int.Cl.⁷
H 01 L 21/60

識別記号
3 1 1

F I
H 01 L 21/60

テマコト[®](参考)
3 1 1 S 5 F 0 4 4
3 1 1 T

審査請求 未請求 請求項の数9 O.L (全 11 頁)

(21)出願番号 特願2001-150645(P2001-150645)

(22)出願日 平成13年5月21日(2001.5.21)

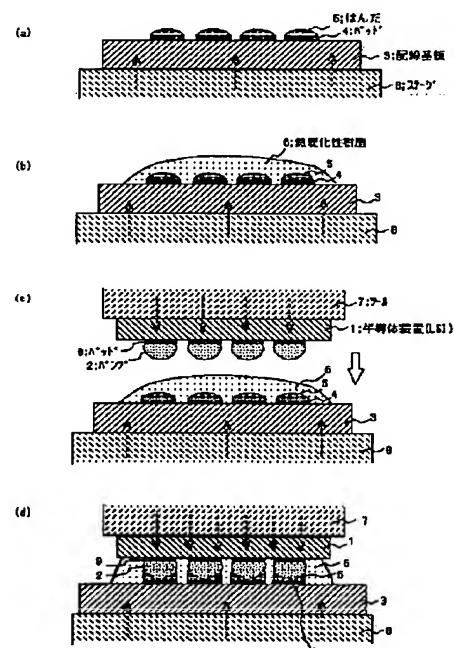
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 大内 明
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 加藤 芳正
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 100114672
弁理士 宮本 恵司
Fターム(参考) 5F044 KK02 LL05 LL13 PP16 QQ00

(54)【発明の名称】 半導体装置の実装方法

(57)【要約】

【課題】はんだバンプが形成されたペアチップまたはチップサイズパッケージ等の半導体装置において、接続信頼性を確保するとともに生産性に優れた実装方法の提供。

【解決手段】配線基板3上に熱硬化性樹脂6を塗布した後、半導体装置1を配線基板3上に搭載するに際し、半導体装置1のバンプ2と熱硬化性樹脂6とが接触する前に、半導体装置1を少なくとも配線基板3より高い温度で加熱して、半導体装置1側に熱硬化性樹脂6を漏れやすくすることにより、熱硬化性樹脂6内に発生しやすいボイドを未然に防止し、接続信頼性の高い実装品を得る。



【特許請求の範囲】

【請求項1】半導体装置の電極と配線基板の電極とがバンプを介して電気的に接続され、前記半導体装置と前記配線基板との間を熱硬化性樹脂により封止してなる半導体装置の実装方法において、前記配線基板上に熱硬化性樹脂を塗布する工程と、前記半導体装置を前記配線基板上に搭載するに際し、前記半導体装置と前記熱硬化性樹脂とが接触する前に、前記半導体装置を少なくとも前記配線基板より高い温度で加熱する予備加熱工程と、前記半導体装置の電極と前記配線基板の電極とが前記バンプを介して接触した状態で、前記半導体装置を前記予備加熱工程以上の温度に加熱して前記半導体装置の電極と前記配線基板間の電極とを電気的に接続するバンプ接続工程と、前記半導体装置の搭載が完了した前記配線基板を、前記バンプ接続工程以下の温度雰囲気中に保持し、前記熱硬化性樹脂を硬化させる樹脂硬化工程と、を含むこと特徴とする半導体装置の実装方法。

【請求項2】前記半導体装置を前記配線基板上に搭載するに際し、前記半導体装置と前記配線基板上に塗布された前記熱硬化性樹脂とが接触する直前に、前記半導体装置を載置するツールの移動速度を減速、又は、一旦停止させることを特徴とする請求項1に記載の半導体装置の実装方法。

【請求項3】前記予備加熱工程において、前記配線基板の温度を前記熱硬化性樹脂の濡れ性を改善可能な第1の温度に設定し、前記半導体装置の温度を前記第1の温度以上、前記バンプの溶融温度以下の第2の温度に設定することを特徴とする請求項1又は2に記載の半導体装置の実装方法。

【請求項4】前記第1の温度が、略60乃至100°C、前記第2の温度が、略150°C以上に設定されることを特徴とする請求項3に記載の半導体装置の実装方法。

【請求項5】半導体装置の電極と配線基板の電極とがバンプを介して電気的に接続され、前記半導体装置と前記配線基板との間を熱硬化性樹脂により封止してなる半導体装置の実装方法において、前記配線基板上に熱硬化性樹脂を塗布する工程と、前記半導体装置を前記配線基板上に搭載するに際し、前記半導体装置と前記熱硬化性樹脂とが接触する前に、前記半導体装置を載置するツールの移動速度を減速又は一旦停止させる工程と、前記半導体装置の電極と前記配線基板の電極とが前記バンプを介して接触した状態で、前記半導体装置を加熱して前記半導体装置の電極と前記配線基板間の電極とを電気的に接続するバンプ接続工程と、前記半導体装置の搭載が完了した前記配線基板を、前記バンプ接続工程以下の温度雰囲気中に保持し、前記熱硬化性樹脂を硬化させる樹脂硬化工程と、を含むこと特徴とする半導体装置の実装方法。

【請求項6】前記半導体装置と前記熱硬化性樹脂とが接

触する前における前記ツールの移動速度が、略10mm/s以下に設定されることを特徴とする請求項5に記載の半導体装置の実装方法。

【請求項7】前記熱硬化性樹脂を前記配線基板上に塗布する際に、前記配線基板を加熱しながら塗布することを特徴とする請求項1乃至6のいずれか一に記載の半導体装置の実装方法。

【請求項8】前記半導体装置は、バンプが形成されたペアチップまたはチップサイズパッケージであることを特徴とする請求項1乃至7のいずれか一に記載の半導体装置の実装方法。

【請求項9】前記バンプははんだからなり、前記熱硬化性樹脂ははんだ酸化膜除去作用を有することを特徴とする請求項1乃至8のいずれか一に記載の半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の実装方法に関し、特に、半導体装置と配線基板との間の熱硬化性樹脂におけるボイドの発生を抑制し、高い接続信頼性が得られる半導体層装置の実装方法に関する。

【0002】

【従来の技術】従来のはんだバンプを用いたフリップチップ実装方法を図7に示す。図7に示すように、従来は、バンプ2形成後のLSIチップ等の半導体装置1のバンプ先端または配線基板3にフラックス10を付着させた後、配線基板3に位置合わせて半導体装置1を搭載した後、リフローを行い、その後、フラックス10を洗净した後、毛細管現象により半導体装置1と配線基板3のギャップにアンダーフィル樹脂(熱硬化性樹脂6)の充填を行い、最後に熱硬化性樹脂6を硬化させる方法が行われている。

【0003】また、はんだを有するフリップチップ実装方法のうち、あらかじめ配線基板3上に封止樹脂6を塗布しておき、半導体装置1をマウント後、加熱することではんだ接続および樹脂硬化を行なう実装方法として、例えば、特開平11-233558号公報に開示されている方法がある。この方法による実装プロセスを図8に示す。

【0004】まず、半導体装置1を配線基板3上に搭載する前工程として、半導体装置1の端子電極にバンプ2を形成し(ステップ1)、パッド4にはんだ5を形成する(ステップ2)。次に、予め配線基板3の半導体装置1が搭載される部分に、半導体装置1と配線基板3の間に充分に介在させる量の樹脂6を塗布する(ステップ3)。次に、この樹脂6を塗布したパッド4上のはんだ5にバンプ2が位置するように半導体装置1を配線基板3に位置決め搭載する。その後、半導体装置1を吸着したポンディングツール7に備えられたヒーター等の加熱手段により、位置決め搭載した半導体装置1を加熱する

と同時に、配線基板3を載せた基板ステージ8に備えられたヒーター等の加熱手段で加熱を行なう（ステップ4）。この加熱工程では、最初、はんだ融点以上の温度に加熱してバンプ2とはんだ5との接合部を金属結合させた後、はんだ融点以下に加熱温度を下げて樹脂6を硬化させて実装が完了する。

【0005】他の従来例として、バンプ2がはんだバンプであり、樹脂6に酸化膜除去作用を含んだ樹脂を用いる場合がある。これらの方法により、半導体装置と基板のギャップにアンダーフィル樹脂充填する工程を削除し、生産性を向上させている。

【0006】

【発明が解決しようとする課題】図7に示すフラックスを用いてはんだバンプを接続する従来のフリップチップ実装方法では、以下の問題点がある。

【0007】まず、第1の問題点は、LSIの高密度化による狭ビッチ化が進むにつれ、バンプ2が微細化し、半導体装置1と配線基板3間の隙間が狭くなる傾向があり、フラックス洗浄が益々困難な状況となってきている。フラックス残渣が引き起こす問題点としては、活性剤がLSI等の電子部品に残留し、この残留した活性剤が吸湿すると、そのイオン成分が電気的絶縁性を低下させ、マイグレーション等により製造された電子部品の信頼性を低下させるといった問題を引き起こす。また、アンダーフィル充填をも阻害することとなり、樹脂封止層にボイドが発生するなど実装信頼性を低下させるという問題がある。

【0008】第2の問題点は、フラックス洗浄工程やアンダーフィル充填工程などのプロセスを必要とする為、フラックス洗浄に必要な設備を必要としたり、アンダーフィル充填に時間がかかる等、生産コストが高くなることである。

【0009】このような問題に関して、図8に示すようならかじめ配線基板3上に熱硬化性樹脂6を塗布しておき、半導体装置1を搭載後、熱硬化性樹脂6を硬化させる一括プロセスが提案されている。しかしながら、この方法では、半導体装置1を熱硬化性樹脂6が塗布された配線基板3上に搭載する際に、半導体装置1側の突起電極間凹部の外気が抜けきれずに残ったり、樹脂6を外側に強制的に押し出すこととなるため、バンプ2や配線基板3の凹凸があると樹脂6が乱流になって外気を巻き込む等の影響でボイドが発生しやすい。

【0010】この現象は、半導体装置1と配線基板3を接続する電極が半導体装置1表面全体に配置しているエリア配置の場合に特に顕著に発生する。電極間にボイドがある状態では、ボイド部のバンプ2に応力が集中して接続破壊を起こすことがあるだけでなく、装置動作時に発生する熱応力で電極金属を塑性変形させ、場合によってはボイドを介して隣り合った電極が連結してしまうショートを引き起こす等、接続信頼性に対して重大な問題

となる。

【0011】また、はんだ酸化膜除去作用を含む樹脂を使用し、はんだ接続を行なう場合、ボイドがあると酸化膜除去作用が弱くなり、はんだ表面の酸化膜を除去しにくくなる為、ボイド部分のバンプは接続不良を起こしやすくなる。

【0012】前記のようなボイドが引き起こす問題は、接続信頼性を向上させるために熱硬化性樹脂の熱膨張係数を調整する手段として樹脂中にシリカ等のフィラーを

10 添加すると、樹脂粘度が相対的に上昇する為、樹脂がなめらかに流れず半導体装置や配線基板に漏れにくくなるためさらに顕著になることから、信頼性の高い実装品を得ることは困難である。

【0013】本発明の目的は、はんだバンプが形成されたペアチップまたはチップサイズパッケージ等の半導体装置において、接続信頼性を確保するとともに生産性に優れた実装方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置の実装方法は、半導体装置の電極と配線基板の電極とがバンプを介して電気的に接続され、前記半導体装置と前記配線基板との間を熱硬化性樹脂により封止してなる半導体装置の実装方法において、前記配線基板上に熱硬化性樹脂を塗布する工程と、前記半導体装置を前記配線基板上に搭載するに際し、前記半導体装置と前記熱硬化性樹脂とが接触する前に、前記半導体装置を少なくとも前記配線基板より高い温度で加熱する予備加熱工程と、前記半導体装置の電極と前記配線基板の電極とが前記バンプを介して接触した状態で、前記半導体装置を前記予備加熱工程以上の温度に加熱して前記半導体装置の電極と前記配線基板間の電極とを電気的に接続するバンプ接続工程と、前記半導体装置の搭載が完了した前記配線基板を、前記バンプ接続工程以下の温度雰囲気中に保持し、前記熱硬化性樹脂を硬化させる樹脂硬化工程と、を含むものである。

【0015】本発明においては、前記半導体装置を前記配線基板上に搭載するに際し、前記半導体装置と前記配線基板上に塗布された前記熱硬化性樹脂とが接触する直前に、前記半導体装置を載置するツールの移動速度を減速、又は、一旦停止させる構成とすることができる。

【0016】また、本発明においては、前記予備加熱工程において、前記配線基板の温度を前記熱硬化性樹脂の漏れ性を改善可能な第1の温度に設定し、前記半導体装置の温度を前記第1の温度以上、前記バンプの溶融温度以下の第2の温度に設定する構成とすることができ、前記第1の温度が、略60乃至100°C、前記第2の温度が、略150°C以上に設定されることが好ましい。

【0017】また、本発明の半導体装置の実装方法は、半導体装置の電極と配線基板の電極とがバンプを介して電気的に接続され、前記半導体装置と前記配線基板との

間を熱硬化性樹脂により封止してなる半導体装置の実装方法において、前記配線基板上に熱硬化性樹脂を塗布する工程と、前記半導体装置を前記配線基板上に搭載するに際し、前記半導体装置と前記熱硬化性樹脂とが接触する前に、前記半導体装置を載置するツールの移動速度を減速又は一旦停止させる工程と、前記半導体装置の電極と前記配線基板の電極とが前記バンプを介して接觸した状態で、前記半導体装置を加熱して前記半導体装置の電極と前記配線基板間の電極とを電気的に接続するバンプ接続工程と、前記半導体装置の搭載が完了した前記配線基板を、前記バンプ接続工程以下の温度雰囲気中に保持し、前記熱硬化性樹脂を硬化させる樹脂硬化工程と、を含むものである。

【0018】本発明においては、前記半導体装置と前記熱硬化性樹脂とが接觸する前における前記ツールの移動速度が、略10mm/s以下に設定される構成とすることができる。

【0019】また、本発明においては、前記熱硬化性樹脂を前記配線基板上に塗布する際に、前記配線基板を加熱しながら塗布する構成とすることもできる。

【0020】また、本発明においては、前記半導体装置は、バンプが形成されたペアチップまたはチップサイズパッケージであることが好ましい。

【0021】また、本発明においては、前記バンプははんだからなり、前記熱硬化性樹脂ははんだ酸化膜除去作用を有することが好ましい。

【0022】本発明の実装方法の場合、半導体装置の搭載に際し、半導体装置と熱硬化性樹脂とが接觸する前に半導体装置を少なくとも前記配線基板より高い温度で加熱することで、配線基板側に塗布した熱硬化性樹脂が半導体装置と接觸すると、瞬時に樹脂粘度が低下して半導体装置側に濡れやすくなる。このため、半導体装置側の突起電極間の凹部にも樹脂が入り込みやすくなる。また、中央部の樹脂が押し出されることにより、樹脂充填される半導体装置外周については樹脂が濡れやすくなることで押し出される樹脂速度に対して樹脂の濡れが追従可能となる。このため、搭載時に発生するポイドを防止することが可能となる。

【0023】また、フィラー添加した時など粘度が高い樹脂の場合、樹脂の濡れ性や流動性が不足するが、加熱に加えて半導体装置と熱硬化性樹脂が接觸する直前に半導体装置の搭載速度を減速させることにより、突起電極間の凹部へ樹脂が入り込みやすくなり、樹脂の濡れが樹脂押し出し速度に追従可能となるため、搭載時に発生するポイドを防止することが可能となる。

【0024】また、使用する樹脂によっては、高温で長時間加熱すると樹脂自体からポイドが発生するものがあるが、短時間の高温加熱で接続を行い、低い温度で樹脂硬化させる方法にすれば、ポイドを防止できる。

【0025】従って、本実装方法を行なえば、熱硬化性

樹脂の熱膨張係数を調整する為にシリカ等のフィラーを添加した場合であっても、搭載時のポイドや接続不良を生じることがない為、信頼性の高い実装品を得ることが出来る。

【0026】

【発明の実施の形態】次に、本発明の一実施の形態について図面を参照して詳細に説明する。図2を参照して、エリアに配列されたCuパッド9上に高融点バンプ2が形成されたLSIを、同一配列位置にCuパッド4を形成し、且つパッド4上に共晶はんだ5が予備はんだとして形成されたプリント配線基板3上に実装する時の一例について説明する。

【0027】まず、図2(a)に示すように、予備はんだ5が形成されたプリント配線基板3を加熱されたステージ8上に置き、昇温する。昇温の目的は、熱硬化性樹脂6を塗布する際にプリント配線基板3表面の樹脂の濡れ性を向上させ、樹脂塗布時に配線基板3表面の凹凸の影響で空気を巻き込みにくくする為である。この時の温度は熱硬化性樹脂6の硬化反応があまり進まないことが望ましく、60°C~100°C程度が良い。プリント配線基板3は、濡れ性改善のためにステージ8に置く前にプラズマ等の表面処理により、表面改質することも有効である。

【0028】次に、図2(b)に示すように、プリント配線基板3上の半導体装置1搭載位置に熱硬化性樹脂6をディスペンサー等により塗布する。塗布形状は、中央部分に1点塗布する方法が一般的であるが、半導体装置1搭載位置の対角線上に「×」を描くように塗布する方法、数点に分けて塗布する方法等がある。

【0029】次に、図2(c)に示すように、ツール7に吸着された半導体装置1をプリント配線基板3上に位置合わせした後、ツール7に内蔵された加熱ヒータにより、半導体装置1を加熱する。加熱の目的は、半導体装置1のバンプ2と熱硬化性樹脂6とが接觸した際に、接觸した熱硬化性樹脂6の粘度を瞬時に低下させ、バンプ2へ濡れやすくさせる為であり、この作用により半導体装置1搭載時にバンプ2間の凹部の空気が取り残されてポイドになることを未然に防いでいる。この時のツール7の加熱温度は150°C以上であることが望ましい。また半導体装置1は、ツール7に吸着する前にプラズマ等の表面処理により、表面改質することも有効である。

【0030】また、使用する熱硬化性樹脂6にフィラーを添加する場合、その添加量が50%以上になると加熱時の樹脂粘度が低下しにくくなり、半導体装置1の加熱によるポイド防止効果が薄れる為、半導体装置1の加熱と同時に半導体装置1と熱硬化性樹脂6とが接觸する直前に、半導体装置1の搭載速度を減速させると効果がある。この場合の搭載速度は10mm/s以下が効果的である。ツール7の搭載速度を制御する方法として、半導体装置1と熱硬化性樹脂6とが接觸する直前に一度停止

させてもよい。

【0031】次に、図2(d)に示すように、半導体装置1に対して所定の荷重をかけ、はんだ融点以上に昇温する事で電極部のはんだ接続を行なう。この際、熱硬化性樹脂6に付与されているはんだ酸化膜除去作用も加わり、短時間で確実なはんだ結合が行なわれる。このとき、熱硬化性樹脂6は硬化反応がほとんど進んでいない状態であるため、樹脂粘度は十分に低くはんだ接続を阻害することはない。なお、半導体装置1に加える荷重は半導体装置1のサイズやバンプ2のピッチ、サイズ、数などにより異なるが、目安として1バンプあたり0.1~5g程度が望ましく、加熱温度ははんだ融点温度より20~50°C高いことが望ましく、この条件にてはんだ接続を行なう時間は、3~10秒程度が望ましい。

【0032】また、半導体装置1をプリント配線基板3に搭載する際に、振動を加えながら加熱して搭載し、電気的接続を行う方法を用いれば、熱硬化性樹脂6にはんだ酸化膜除去作用を添加する必要が無くなる。

【0033】次に、はんだ接続が完了した上記実装品の熱硬化性樹脂6を硬化させるが、樹脂を完全に硬化させる手段としては、はんだ接続を行った後の実装品を複数個まとめて樹脂硬化可能な温度雰囲気に保たれた恒温槽等に移して行なうと良い。これにより、個々の搭載サイクルタイムははんだ接続に必要な時間のみで良いため、時間の短縮が可能となり、かつ一定の樹脂硬化時間で複数個の半導体装置1の樹脂硬化が可能となるため、生産性が向上する。

【0034】図1に、実装が完了した本実施の形態の一例として、バンプ2にはんだバンプを用いて製作した場合のフリップチップ実装構造体の断面図を示す。図1において、配線基板3のバット4上にプリコートされたはんだ5と半導体装置1の突起電極であるバンプ2とがそれぞれ対応する位置にて金属接合されることで、半導体装置1と配線基板3の電気的接続が行われている。半導体装置1と配線基板3の間の封止樹脂は、熱硬化性樹脂6で構成されている。

【0035】はんだ5の材質の例としてはSn/Pb共晶はんだがあるが、Sn/Pb共晶はんだに限定されず、たとえばSn/Pb(共晶を除く)、Sn/Ag、Sn/Cu、Sn/Sb、Sn/Zn、Sn/Biおよびこれら前記した材料に特定の添加元素をさらに加えた材料を挙げることができ、これらが適宜用いられる。また、バンプ2ははんだ5と同じでも異なる材質であってもよく、融点の異なるはんだであっても良い。よく用いられる材料はPbリッチなSn/Pbがあげられる。異なる材質の一例としてはAuバンプがあげられる。

【0036】また、電気的接続部を除く半導体装置1と配線基板3の間は、電気的接続部を保護すると共に、半導体装置1と配線基板3の熱膨張係数の違いにより生じる熱応力が電気的接続部に集中することを緩和し、接続

信頼性を向上させる目的で熱硬化性樹脂6により樹脂封止されている。

【0037】熱硬化性樹脂6は、はんだ接続を行なう場合、活性樹脂(はんだ酸化膜を除去する効果がある熱硬化性樹脂)を用いることが望ましい。例えば、基材となる熱硬化性樹脂6にフランクス効果を有する剤を添加した構成であり、はんだおよび被はんだ接続面の酸化膜を除去する作用を持つ。すなわち、はんだ接続での硬化前の加熱状態において、フランクス作用を有する剤が作用し、はんだおよび被はんだ接続面の酸化膜が除去される。活性樹脂は、硬化後は基材樹脂と結合することにより化学的に安定となり、十分な電気的絶縁性を有する。

【0038】また、熱硬化性樹脂6にフランクス作用を与えるには、(メタ)アクリル酸、マレイン酸などの不飽和酸、磷酸、マロン酸などの有機二酸、クエン酸などの有機酸をはじめ、炭化水素の側鎖に、ハロゲン基、水酸基、ニトリル基、ベンジル基、カルボキシル基等を少なくとも1つ以上を添加することにより可能である。また、(メタ)アクリルアルコールなどの不飽和アルコール、トリメリット酸、テトラメリット酸および一般的に知られているキレート剤を用いることもできる。このような前記フランクス作用を有する剤は、二種以上組合せて用いることができる。なお、フランクスには、公知のゲル化剤を含むこともできる。

【0039】また、半導体装置実装工程においては、熱硬化性樹脂6に活性樹脂を使用することで、フランクスを使用する必要が無くなるため、フランクス洗浄工程を省略でき、また、洗浄不良によって生じるフランクス残渣に起因する信頼性への悪影響を防止することができる。

【0040】熱硬化性樹脂の基材としては、エポキシ、ポリエステル(不飽和ポリエステル、不飽和ポリエステルと活性水素基を有する化合物の組合せなど)、アクリレート((メタ)アクリロキシプロピルポリシロキサンなどのシリコンアクリレート、エポキシアクリレートを含む)などである。熱硬化時に前記した熱硬化性樹脂と反応して硬化を促進する促進剤、および/または硬化剤(加熱によって硬化するためのラジカル等が発生するラジカル開始剤、アニオン開始剤またはカチオン開始剤)等を有している。なお、 α -シアノアクリレートなどの常温で硬化する接着剤等を用いることもできる。前記熱硬化性樹脂、促進剤、硬化剤および開始剤等は、2種以上、組合せて用いることができる。さらに、熱硬化性樹脂には、熱膨張係数等を調整し接続信頼性を向上させる目的でシリカ等のフィラーを添加しても良い。

【0041】なお、バンプ形成された半導体装置1を短時間で確実にはんだ接続させる為に、搭載時に加熱とともに加圧を行なったり、振動によりはんだ接続させることもできる。

【0042】図3は、プリント配線基板3上に予備はん

だが形成されていない場合ははんだバンプを用いた本発明の実施の形態を示す図である。実装方法に関しては図2で示した例と同様であるが、この場合、加熱加圧時にバンプ2を潰してしまわないように、半導体装置1と配線基板3との隙間を一定に保つような位置制御を行なう必要がある。

【0043】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。本実施例では、上記実装方法により、半導体装置を熱硬化性樹脂が塗布された配線基板上に搭載する際に、半導体装置側の突起電極間凹部の外気が抜けきれずに残り、ボイドとなる不具合が発生しないことを確認するとともに、その際の接続信頼性を確認するため以下の実験を行なった。まず、使用機材について説明する。

【0044】半導体装置1は、サイズ $10\text{ mm} \times 10\text{ mm}$ であり、はんだバンプが 0.24 mm ピッチで半導体装置1表面全面に配置されているフルグリッドエリア配置である。はんだバンプ材質はPb 95%、Sn 5%である。配線基板3は、半導体装置1に対応した電極が配置されており、パッド4上には予備はんだが約 $20\text{ }\mu\text{m}$ の高さで形成されている。予備はんだ材質は共晶はんだである。なお、実装後の半導体装置1と配線基板3は電気的接続の確認が行なえる構造となっている。

【0045】熱硬化性樹脂6はエポキシであり、フェノール系硬化剤を使用した樹脂Aと酸無水物系硬化剤を使用した樹脂Bを用い、共にはんだ酸化膜除去作用を有する樹脂である。さらにこれらの樹脂にシリカフィラーを添加したものについても評価を行なった。ここで、熱硬化性樹脂6は、エポキシに限られるものではなく、上述したように、ポリエチルやアクリレートなどでも良い。

【0046】次に、実装方法について説明する。

【0047】まず、半導体装置1にArプラズマ処理を行い、プラズマの表面改質効果による半導体装置1と樹脂6の濡れ性向上及びはんだバンプ2の接続性向上を図った。続いて、配線基板3をステージ8上に置き、ディスペンサーにより熱硬化性樹脂6を配線基板3上の半導体装置1が搭載される中央部に約 20 mg 塗布した。続*40

*いて、半導体装置1をツール7に吸着し、配線基板3との位置合わせを行ない、半導体装置1を配線基板3上に搭載し、半導体装置1のはんだバンプ2と配線基板3の予備はんだ5が接触後、半導体装置1を 230°C に加熱しながら $3\text{ g}/\text{バンプ}$ の加圧を5秒間行ない、電極間のはんだ接続をした。なお、接続の際、加圧を行なわない方法も試みたが、この場合、フィラー添加量40%以上の樹脂は、ほとんどの接続部ではんだ漏れ不良が発生し、未接続となった。

10 【0048】続いて、はんだ接続の完了した実装品を 150°C 大気圧団気中の恒温槽に90分間入れて、熱硬化性樹脂6の硬化を行ない実装を完了した。

【0049】半導体装置搭載時のボイド評価として、半導体装置1の搭載速度とステージ8及びツール7の温度条件を変えて比較評価を行なった。本実施例で使用した樹脂における温度と樹脂粘度の関係を、表1に示す。 25°C に比べ 50°C ではかなり樹脂粘度が低下しており、 70°C 近傍から昇温に連れて急に樹脂粘度が低下している事がわかる。

20 【0050】評価条件詳細および結果として、表2は常温で搭載速度が速い従来条件に対して搭載速度を遅くし、ツール温度及びステージ温度を変化させたときのボイド観察結果、表3は表2の条件でボイドが発生しなかった温度条件に関して、樹脂にフィラー添加し、搭載速度を速くしたときのボイド観察結果を示す。ボイドの観察方法としては、実装が完了したサンプルについて、樹脂層部分の断面を顕微鏡で観察した。

【0051】また、それぞの搭載時の加熱及びツール変位を示すプロファイル図を図4乃至図6に示す。な

30 も、表2又は表3の搭載プロファイル欄の番号と図4乃至図6の番号とが対応している。図4乃至図6に示す①は、はんだバンプと熱硬化性樹脂とが接触した時点であり、②ははんだバンプと基板（基板上のパッド）とが接触した時点である。また、ツール温度は、②以降はんだバンプの融点以上の温度に上昇されている。表2および表3において、ツール温度は、はんだバンプと熱硬化性樹脂が接触した時点での温度である。

【0052】

【表1】

樹脂 C	温度(°C)	25	60	70	150
	樹脂粘度(Pa·s)	6.6	0.1	0.03	0.03
樹脂 D	温度(°C)	25	60	70	150
	樹脂粘度(Pa·s)	13	0.2	0.1	0.1

【0053】

【表2】

樹脂	A						B	
フィラー添加量(%)	0						0	
樹脂粘度(Pa·s) ^{*1}	6						4	
ツール温度(°C)	25	25	25	150	150	150	25	150
ステージ温度(°C)	25	25	150	25	150	60	25	60
搭載速度(mm/s)	40	0.1	0.1	0.1	0.1	0.1	0.1	0.1
ポイド観察結果 ^{*2}	多數	有り	有り	無し	有り	無し	有り	無し
搭載プロファイル ^{*3}	(h)	(a)	(b)	(c)	(d)	(e)	(a)	(e)

^{*1} : 25°C時の測定データ。^{*2} : 恒温槽にて150°Cで90分間保持し、樹脂硬化させた後の観察結果。

多數：封止樹脂全面に多数発生。有り：主に樹脂塗布した中央部分のみ発生。

^{*3} : 搭載時の加熱及びツール変位を示すプロファイル図。図4乃至図6参照。

【0054】

* * 【表3】

樹脂	A						B		
フィラー添加量(%)	0	20	40	60	60	0	20	60	60
樹脂粘度(Pa·s) ^{*1}	6	12	21	62	62	4	8	40	40
ツール温度(°C)	150	150	150	150	150	150	150	150	150
ステージ温度(°C)	60	60	60	60	60	60	60	60	60
搭載速度(mm/s)	40	40	40	40	10	40	40	40	10
ポイド観察結果 ^{*2}	無し	無し	無し	有り	無し	無し	無し	有り	無し
搭載プロファイル ^{*3}	(f)	(f)	(f)	(f)	(g)	(f)	(f)	(f)	(g)

^{*1} : 25°C時の測定データ。^{*2} : 恒温槽にて150°Cで90分間保持し、樹脂硬化させた後の観察結果。

有り：主に樹脂塗布した中央部分のみ発生。

^{*3} : 搭載時の加熱及びツール変位を示すプロファイル図。図4乃至図6参照。

【0055】表2に関して、ツール及びステージを常温にて40mm/sで搭載した従来条件の場合は、封止樹脂全面に多数発生した。これに対し、半導体装置と樹脂が接触する直前に搭載速度を0.1mm/sと遅くした場合、ポイドが減っていることは確認できたが、主に樹脂塗布した中央部分にはポイドが残っており、完全にポイドを無くすまでには至らなかった。さらにツール及びステージ温度を変化させていくと、ツール温度150°C、ステージ温度60°C以下のときポイドが発生しなかった。

【0056】次に、表3に示すように、ポイドが発生しなかったツール温度150°C、ステージ温度60°Cの温度条件において、再び搭載速度を40mm/sとし、樹脂にシリカフィラーを添加したものを含め、ポイド観察を行なった。結果はフィラー添加量40%まではポイドが発生しなかったが、フィラー添加量60%の場合、ポイドが発生した。そこでフィラー添加量60%については、この温度条件のまま搭載速度を10mm/sとするとポイドが発生しなかった。

【0057】この結果から、フィラー添加量が40%以下の樹脂に関しては、半導体装置1側を配線基板3側より高い温度で加熱しておき、半導体装置1に熱硬化性樹脂6が接触した際、半導体装置1側に熱硬化性樹脂6が漏れやすくなる状況を作り出す本実装方法を行なうことで、半導体装置1搭載時のポイドを未然に防げることを確認した。ここで、ツール温度は、150°Cとしたが、ツール温度は、基板3よりも高い温度であれば、半導体装置1の搭載速度と使用する熱硬化性樹脂6の温度による樹脂粘度の変化によって変える事が可能である事はもちろんである。

【0058】また、フィラー添加量の割合が多く樹脂粘度が40Pa·s(25°Cの時)以上の樹脂は半導体装置側の加熱と共に搭載速度を減速させることで、半導体装置搭載時のポイドを未然に防げることを確認した。また、これらのサンプルのうち、フィラー添加量40%以上のものについて-40°C~125°Cの温度サイクル試験を行い接続信頼性を評価した結果、樹脂A、B共に15000サイクル以上接続信頼性が確保できていることを

確認した。この結果から、本発明の実装方法により、樹脂層にボイドが無く接続信頼性が高い実装品が得られることを確認した。

[0059]

【発明の効果】以上説明したように、本発明の半導体装置の実装方法によれば、配線基板上に熱硬化性樹脂を塗布後、半導体装置を配線基板上に搭載するに際し、半導体装置と熱硬化性樹脂とが接触する前に、半導体装置を少なくとも配線基板より高い温度で加熱、又は、半導体装置の搭載速度を減速又は一旦停止、又はこれらを組み合わせて、半導体装置側に熱硬化性樹脂を濡れやすくすることにより、樹脂層に発生しやすいボイドを未然に防ぐとともに、シリカフィラーを添加し、熱膨張係数を調整した熱硬化性樹脂を用いてもはんだ接続を行うことができ、接続信頼性の高い実装品を得る事ができる。

【図面の簡単な説明】

【図1】本発明の実装方法により実装したフリップチップ実装構造体を示す断面図である。

【図2】配線基板に予備はんだが形成された場合における本発明の実装方法を示す工程断面図である。

【図3】配線基板に予備はんだが形成されていない場合における本発明の実装方法を示す工程断面図である。*

* 【図4】半導体装置搭載時の加熱及びツール変位を示すプロファイル図である。

【図5】半導体装置搭載時の加熱及びツール変位を示すプロファイル図である。

【図6】半導体装置搭載時の加熱及びツール変位を示すプロファイル図である。

【図7】従来のフラックスによるはんだ接合を行なった場合の実装方法を示す工程断面図である。

【図8】従来の配線基板に樹脂塗布して半導体装置を搭載する実装方法を示す工程断面図である。

【符号の説明】

1 半導体装置

2 パンプ

3 配線基板

4 パッド(配線基板)

5 はんだ

6 热硬化性樹脂

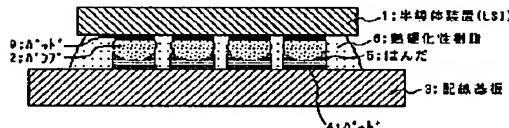
7 ツール

8 ステージ

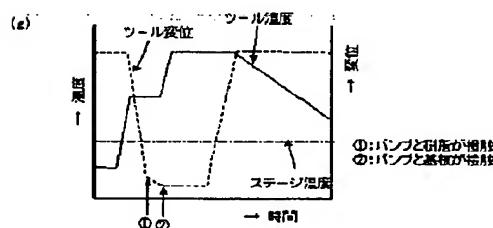
9 パッド(半導体装置)

10 フラックス

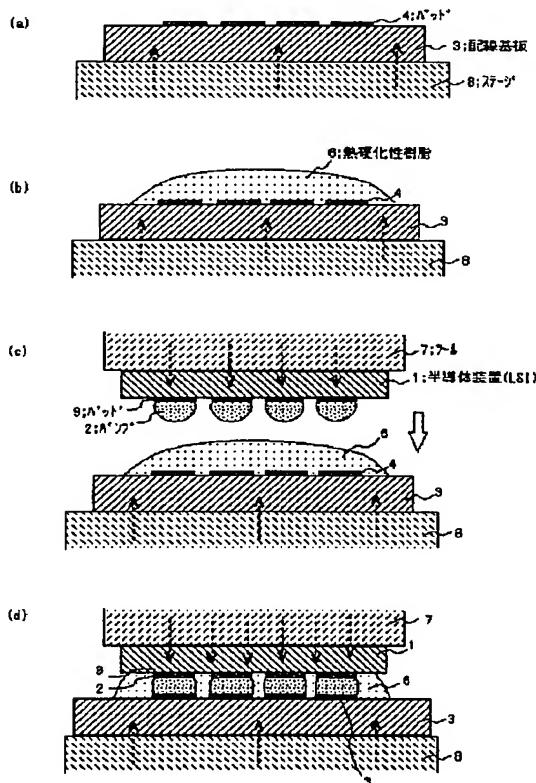
【図1】



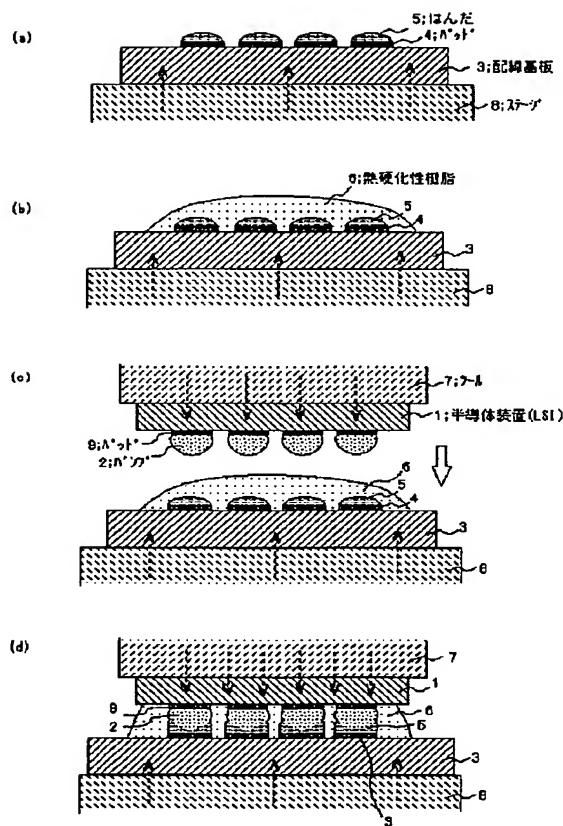
【図2】



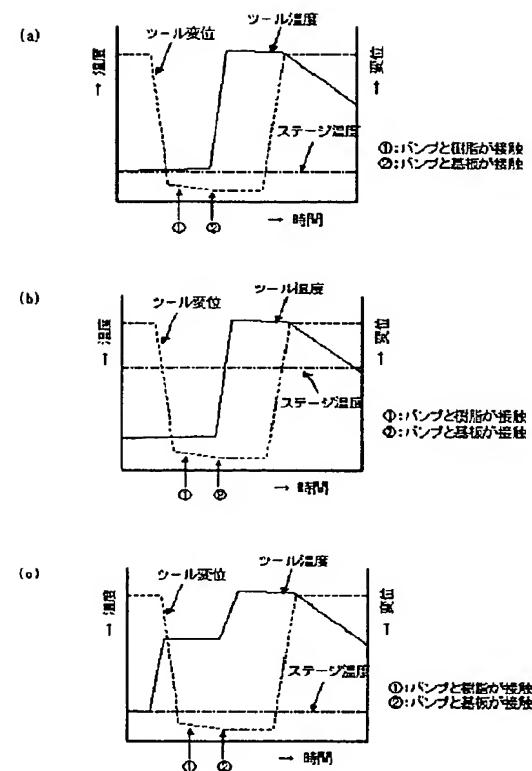
【図3】



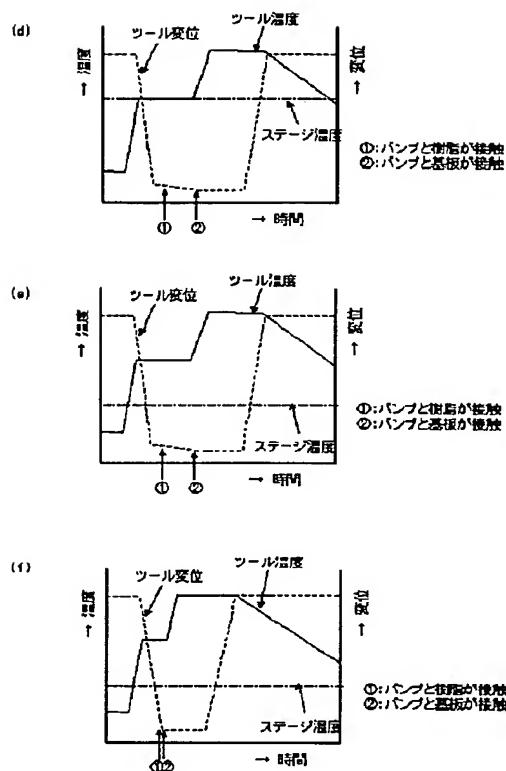
【図2】



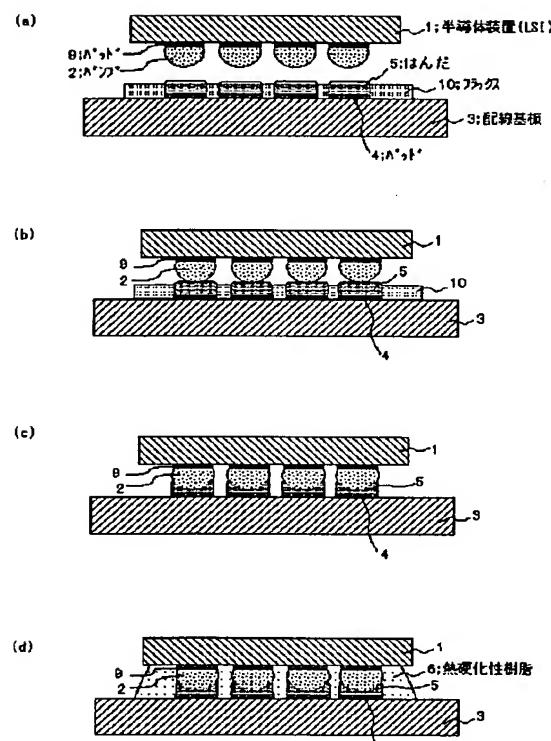
【図4】



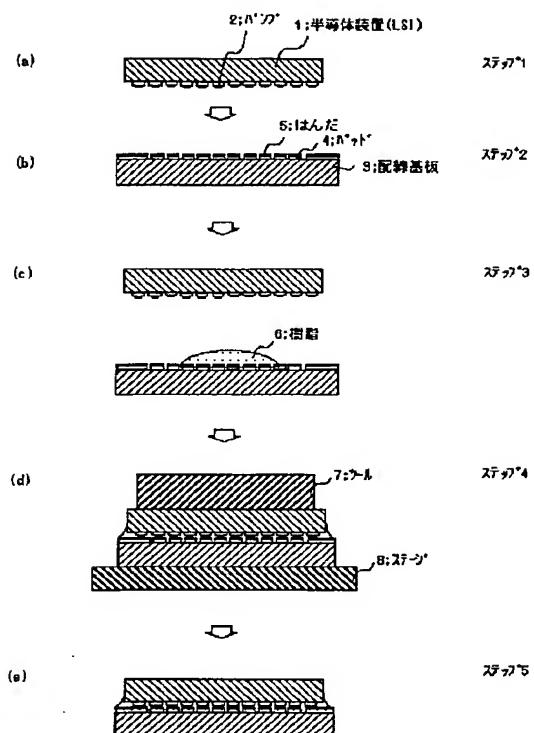
【図5】



【図7】



【図8】



}

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.